

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07249795 A**

(43) Date of publication of application: **26.09.95**

(51) Int. Cl

H01L 33/00

(21) Application number: **06038157**

(22) Date of filing: **09.03.94**

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **OBA YASUO
HATANO GOKOU**

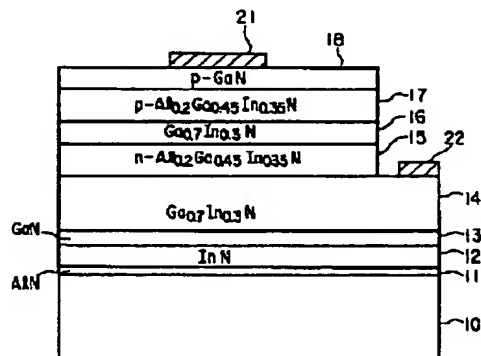
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To realize a high luminance short wavelength semiconductor light emitting element by growing a high quality AlGaInN based thin film with high reproducibility on a sapphire substrate.

CONSTITUTION: The semiconductor light emitting element comprises a plurality of semiconductor layers of AlGaInN based material laminated through buffer layers on a sapphire substrate 10 wherein the buffer layer comprises a first porous AlN butter layer 11 for polarity control and nucleus formation formed sparsely (granularly) by 10nm or less on the surface of the substrate 10, and a second InN buffer layer 12 for relaxing thermal stress formed thicker than the first buffer layer 11.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-249795

(43) 公開日 平成7年(1995)9月26日

(51) Int. Cl. ⁶

H01L 33/00

識別記号

C

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願平6-38157

(22) 出願日 平成6年(1994)3月9日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大場 康夫

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 波多野 吾紅

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

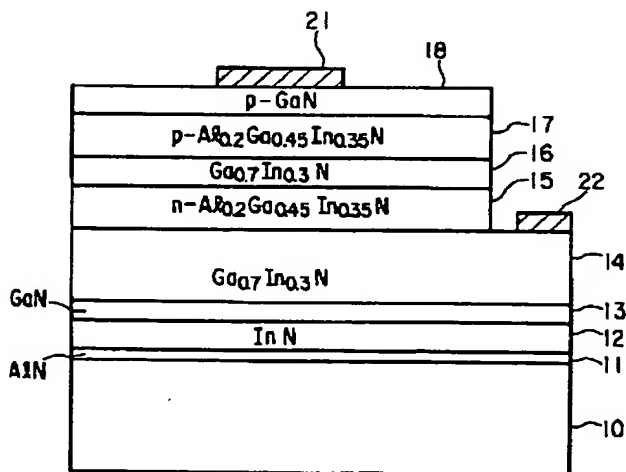
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体素子

(57) 【要約】

【目的】 サファイア基板上に高品質なAlGaInN系薄膜を再現性良く成長して、高輝度短波長半導体発光素子の実現を可能とする。

【構成】 サファイア基板10上にバッファ層を介してAlGaInN系材料からなる複数の半導体層を積層してなる半導体発光素子において、バッファ層を、基板10の表面に10nm以下の厚さに疎らに(粒状に)形成されて多孔質状となる極性制御及び核形成用のAlN第1バッファ層11と、第1バッファ層11の上にバッファ層11よりも厚く形成された熱歪み緩和用のInN第2バッファ層12とで構成したことを特徴とする。



【特許請求の範囲】

【請求項 1】 単結晶基板上にバッファ層を介して AlGaInN 系材料からなる複数の半導体層を積層してなる半導体素子において、

前記バッファ層は、AlGaInN 系材料からなり、極性制御及び核形成のために前記基板表面に多孔質状に形成されたものであることを特徴とする半導体素子。

【請求項 2】 単結晶基板上にバッファ層を介して AlGaInN 系材料からなる複数の半導体層を積層してなる半導体素子において、

前記バッファ層は、AlGaInN 系材料からなり前記基板表面に多孔質状に形成された極性制御及び核形成用の第 1 バッファ層と、AlGaInN 系材料からなり第 1 バッファ層上に該バッファ層よりも厚く形成された熱歪み緩和用の第 2 バッファ層とからなるものであることを特徴とする半導体素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、AlGaInN 系材料を用いた半導体素子に係わり、特に基板と素子作成のための半導体積層構造との間に設けるバッファ層の改良をはかった半導体素子に関する。

【0002】

【従来の技術】 窒素を含む III-V 族化合物半導体の一つである GaN はバンドギャップが 3.4 eV と大きく、また直接遷移型であり、短波長発光素子用材料として期待されている。この材料系では、格子整合する良質な基板がないため、サファイア基板上に成長することが多いが、サファイアと GaN は格子不整合が 15% 程度と大きいために島状に成長し易い。さらに、良質な GaN 層を成長するためにその膜厚を厚くすると、サファイア基板と GaN (又は AlGaInN) 間の熱膨脹差により冷却時に転位が増大したりひび割れが生じるために、高品質の膜を成長するのは困難であった。

【0003】 これに対し格子不整合の影響を緩和するために、サファイア基板上に極薄膜のアモルファス又は多結晶の AlN 又は GaN を低温成長によりバッファ層として形成した後、その上に GaN 層を形成する方法が知られている。このとき、アモルファス又は多結晶のバッファ層が熱歪みを緩和し、バッファ層内部に含まれている微結晶が 1000℃ の高温時に方位が揃った種結晶となり、GaN 層の結晶品質が向上すると考えられている。

【0004】 この方法を用いた場合、例えば X 線回折の半値幅で表わされる結晶の品質はバッファ層の成長条件に大きく依存する。即ち、バッファ層が厚い場合、成長核となる種結晶の方位が乱れるために結晶品質が劣化する。一方、バッファ層厚が薄くなるに従って半値幅は減少するが、薄すぎるとバッファ層の機能が全く失われて結晶の表面状態が急激に劣化する。つまり、バッファ層

の成長条件が厳しく制限される上に、結晶品質も十分とは言えなかった。

【0005】

【発明が解決しようとする課題】 このように従来、サファイア基板上に高品質の AlGaInN 系薄膜を結晶成長させるのは困難である。さらに、アモルファスや多結晶のバッファ層を用いても、バッファ層の成長条件が厳しく制限される上に、バッファ層上に形成される AlGaInN 系薄膜の結晶品質も十分とは言えない。このため、AlGaInN 系材料を用いた高輝度短波長の半導体発光素子を実現することは困難であった。

【0006】 本発明は、上記事情を考慮してなされたもので、その目的とするところは、格子整合しない基板にも高品質な AlGaInN 系薄膜を再現性良く形成することができ、例えば高輝度短波長半導体発光素子の実現を可能とする半導体素子を提供することにある。

【0007】

【課題を解決するための手段及び作用】 上記課題を解決するために本発明は、次のような構成を採用している。即ち、本願の第 1 の発明は、単結晶基板上にバッファ層を介して AlGaInN 系材料からなる半導体層を積層してなる半導体素子において、バッファ層が、AlGaInN 系材料からなり、基板表面に多孔質状に形成されたことを特徴とする。

【0008】 ここで、本発明の望ましい実施態様としては、次のものがあげられる。

- (1) バッファ層は、基板表面に極薄く疎らに形成され(粒状であり)、平均膜厚が 10 nm 未満であること。
- (2) バッファ層は、AlN であること。
- (3) 単結晶基板は、サファイア基板、好ましくはサファイア基板の c 面であること。
- (4) バッファ層上に形成する半導体層は、活性層を p 型及び n 型のクラッド層で挟んだダブルヘテロ構造をなして発光ダイオードを構成すること。
- (5) バッファ層の成長温度は、350～800℃、より望ましくは 500～700℃ であること。
- (6) バッファ層を形成した後に素子形成のための半導体層を成長開始するまでの昇温過程を、アンモニアを含まない水素雰囲気で行うこと。

【0009】 また、本願の第 2 の発明は、単結晶基板上にバッファ層を介して AlGaInN 系材料からなる半導体層を積層してなる半導体素子において、バッファ層が AlGaInN 系材料からなり、基板表面に多孔質状に形成された第 1 バッファ層と、第 1 バッファ層よりもバンドギャップが狭く、かつ第 1 バッファ層よりも厚く形成された第 2 バッファ層との積層構造から構成したことを特徴とする。

【0010】 ここで、本発明の望ましい実施態様としては、次のものがあげられる。

- (1) 第 1 バッファ層は、基板表面に極薄く疎らに形成さ

れ(粒状であり)、平均膜厚が10 nm未満であること。

(2) 第1バッファ層はAlNであり、第2バッファ層はInN又はGaNであること。

(3) 第2バッファ層上に、該バッファ層のInの蒸発を防止するためのキャップ層を形成すること。

(4) 単結晶基板は、サファイア基板、好ましくはサファイア基板のc面であること。

(5) バッファ層の成長温度は、350~800℃、より望ましくは500~700℃であること。

(6) バッファ層上に形成する半導体層は、活性層をp型及びn型のクラッド層で挟んだダブルヘテロ構造をなしで発光ダイオードを構成すること。

(7) バッファ層を形成した後に素子形成のための半導体層を成長開始するまでの昇温過程を、アンモニアを含まない水素雰囲気で行うこと。

【0011】本発明者らの研究によれば、バッファ層の役割としては従来考えられてきた格子不整合緩和の他に成長面の極性制御のための成長核形成が本質的に重要であることが判明した。即ち、バッファ層なしでサファイア基板上にGaN層を直接成長した時には基板結晶と窒素原料が反応し、サファイアは無極性の結晶構造を有しているため、生成物である窒化物の極性は乱れたものとなる。

【0012】一方、基板温度が700℃以下の時には、V族元素の窒素供給源として働く原料分子若しくはその分解物が有効に表面に留まり最初にN原子面が形成されるために、成長面はIII族原子が出たA面に制御される。従って、例えばN原料に低分解率のアンモニアを使用した場合、N原料不足のために不安定になるN原子面(B面)の形成が抑制される。これが、低温成長バッファ層による結晶品質改善の大きな理由と考えられる。

【0013】従って、バッファ層の役割としては成長面の極性制御のための成長核形成が重要であり、このように働く成長核は膜として存在する必要はなく、むしろ基板表面に疎らに形成される方がバッファ層の成長条件や厚さ等によらず結晶品質が向上すると考えられる。これは、サファイア基板表面では通常800℃以上の基板温度でGaNが成長核を形成しにくいために、GaNは予め低温で形成された成長核から基板表面に沿って横方向に成長し、結果的に一つの成長核から成長した領域では格子不整合に起因する結晶欠陥が殆どないと考えられるからである。

【0014】なお従来、バッファ層が薄い時に生じる急激な結晶品質の劣化は、基板が窒素原料と直接反応して極性の乱れた部分が形成されるのが原因と考えられる。具体的には、サファイア基板上に例えばAlNバッファ層を介して半導体素子形成のためのGaN層を成長する場合、III族原料(TMA)とV族原料(NH₃)の供給によりバッファ層を成長した後、III族原料を供給を

停止し、所定温度まで昇温した後に別のIII族原料(TMG)を供給してGaN層の成長を開始する。このとき、V族原料は供給したままであるので、バッファ層が薄いと昇温過程で基板がアンモニアと直接反応することになる。

【0015】これに対し、昇温をアンモニアを含まない、又は窒素元素の脱離を防ぐだけの微量の窒素原料のみを含む雰囲気で行えば、基板表面が窒化されことなく核形成ができる。但しこの場合、温度が上昇してから水素とアンモニア等の熱的性質の大きく異なるガスを切り替えることになり、雰囲気ガスの熱的な性質が変わるため、基板の表面温度が変化するという問題が生じる。本発明者らは、これを抑えるためには、成長を気体の熱伝導率が急激に減少する70 Torr以下、望ましくは40 Torr以下の減圧下で行うことが重要であることを見出した。

【0016】図9は、水素中にて昇温した時のAlNバッファ層厚とその上に成長したGaN層のX線回折半値幅との関係を示す。バッファ層厚が10 nmより薄い3~8 nmの時に従来より大幅に高品質のエピタキシャル層が得られている。このとき、バッファ層は完全な膜状ではなく、AlNの微結晶が疎らに形成されて多孔質状となっている。ここで、バッファ層厚が10 nmより薄くても高品質のエピタキシャル層が得られることは、バッファ層の成長条件が緩やかになることを意味し、生産性の向上につながる。

【0017】このように多孔質のバッファ層を形成した場合、基板表面が露出した上に成長する層は小さな核から成長するので、横方向の成長が促進され、欠陥の少ない層が成長できると考えられる。横方向の結晶成長をより促進するには、基板にはサファイアc面を用いることが最も良い結果が得られる。また、面方位のバラツキや表面欠陥のある基板を用いた場合には、c面からa面方向に0.5°から10°(望ましくは1°から5°)傾斜した基板が有効である。傾斜基板を用いることで、より高品質な膜形成が可能となる。

【0018】ここで、成長核となるAlN微結晶の間隔は、その成長温度で決まり温度が高いほど広がる。横方向の成長が疎外されないためには、成長核の間隔が広がる高温が望ましい。しかし、高温成長では成長核の極性が乱れるため、バッファ層の成長温度は制限される。良好な結果が得られたのは、350℃から800℃の範囲であり、望ましくは500℃から700℃である。

【0019】また、この方法を用いても、良質なGaN層を成長するためにその膜厚を厚くすると、GaNの成長温度が1000℃程度と高いため、サファイア基板とGaN(又はAlGaN)間の熱膨張差により冷却時に転位が増大したりひび割れが生じたりする。従って、熱歪み緩和にはバッファ層を厚くして、同時に成長

10

20

30

40

50

温度を低温化して温度差による歪みを小さくする必要がある。しかし、成長核形成用の第1バッファ層を厚くすると成長核となる種結晶の方位が乱れるために結晶品質が劣化する。そこで本発明においては、成長核形成用の第1バッファ層上に熱歪み緩和用の第2バッファ層を積層することが有効である。

【0020】熱歪み緩和のためのバッファ層は必ずしもアモルファス又は多結晶である必要はない。従って、結晶化温度が低い材料を単結晶化しやすいと考えられてきたInを構成元素として含む材料を第2バッファ層として用いることができる。即ち、InはNとの結合が弱くAlNに対して柔軟性を有しているため、Inを構成元素として含むバッファ層は歪みを有効に緩和できる。なお、第2バッファ層には、Inを構成元素として含む材料以外にも、第1バッファ層よりもバンドギャップの広い材料であれば、一般に柔軟性が良好であるため、特に限定されず用いることが可能である。この場合、単結晶に近いバッファ層を用いられるので膜厚を厚くできるのでさらに有効である。

【0021】熱歪み緩和用の第2バッファ層の膜厚としては、50nmから1000nmまでの広い範囲で有効であり、成長しやすいのはIn組成が10%から90%のときである。Inを構成元素として多量に含む材料をバッファ層として成長するには、Inの表面移動度が大きく300℃から1100℃までの広い温度範囲で形成できるが、核形成がしにくいためにIn組成の少ない層を予め成長することが望ましい。

【0022】以上のように、核形成用の第1バッファ層には小さな成長核を形成するため、バンドギャップが広い、例えばAl組成の大きい材料が有効であり、熱歪み緩和用の第2バッファ層としてはバンドギャップが狭い、例えばIn組成の大きい材料が有効である。また、このような熱歪み緩和用の第2バッファ層上にGaN系材料からなる素子構造を形成するときには、Inの脱離を防ぐためにGaN、AlN、AlGaN等のInを含まないキャップ層を、Inの脱離が急速ではない500℃から800℃の基板温度範囲で予め形成するのが望ましい。このキャップ層の厚さは、50nmから1000nmの範囲にあればよい。

【0023】なお、本発明でバッファ層とは核形成、極性制御、熱歪み緩和等の目的を持った膜状若しくは粒状の結晶層のことを言う。このように本発明によれば、サファイア等の単結晶基板上にAlN等の多孔質状のバッファ層を形成することにより、基板上にAlNの微結晶が疎らに形成される。これは、半導体層の横方向エピタキシャル成長の核となる。また、バッファ層を形成した後に半導体素子作成のための複数の半導体層を成長開始するまでの昇温を、アンモニアを含まない例えば水素雰囲気を行うことにより、基板表面と窒素との反応を防止して基板表面の極性の乱れを防止できる。従って、バッ

ファ層上に形成する複数の半導体層の結晶品質及び再現性の向上をはかることができる。結果として、低欠陥のAlGaN層の成長が可能となり、高輝度短波長発光素子の実現が可能となる。

【0024】また、AlN等の第1バッファ層上にInNやGaN等の第2バッファ層を形成することにより、第2バッファ層が熱歪み緩和層として機能することになり、バッファ層上に形成する複数の半導体層の結晶品質向上により有効となる。

【0025】

【実施例】以下、本発明の実施例を図面を参照して説明する。

（実施例1）図1は、本発明の第1の実施例に係わる青色発光ダイオードの素子構造を示す断面図である。即ち、サファイア基板（単結晶基板）10のc面上に成長核形成と極性制御用のAlN第1バッファ層11（9nm）が580℃にて成長形成され、さらに熱歪み緩和用のInN第2バッファ層12（0.5μm）が500℃にて成長形成され、その上にIn蒸発防止用のGaNキャップ層13（0.1μm）が成長形成されている。

【0026】これらの各層11～13が形成された後に、1050℃まで昇温され、結晶欠陥低減用のGa_{0.1}In_{0.9}N欠陥低減層14（3.0μm）、素子として動作するSiドープのn型Al_{0.1}Ga_{0.9}In_{0.9}Nクラッド層（1.0μm）15、Ga_{0.1}In_{0.9}N層活性層（0.5μm）16、Mgドープのp型Al_{0.1}Ga_{0.9}In_{0.9}Nクラッド層（1.0μm）17、Mgドープのp型GaNコンタクト層（0.5μm）18が順次形成されている。

【0027】そして、コンタクト層18上にはp側電極21としてAu/Cr/Pdが形成され、欠陥低減層14上にはn側電極22としてAu/AuGeが形成されている。

【0028】このような構造では、AlN第1バッファ層11は基板10上に疎らに粒状に形成されて多孔質状となり、後続する素子作成のためのAlGaN系半導体層の成長の際の有効な成長核となる。さらに、InN第2バッファ層12は熱歪み緩和層として働き、AlGaN系半導体層と基板10との熱膨脹差に起因する転位の発生やひび割れを未然に防止することができる。即ち、2つのバッファ層11、12の働きにより良質のAlGaN系半導体層を形成することができ、高輝度短波長の発光ダイオードを実現することが可能となる。

【0029】図2は、活性層16のバンドギャップを変えて発光波長を変えたものである。図2（a）は緑色発光ダイオードの例であり、欠陥低減層14'の組成をGa_{0.1}In_{0.9}N、クラッド層15'、17'の組成をAl_{0.1}Ga_{0.9}In_{0.9}N、活性層16'の組成をGa_{0.1}In_{0.9}Nとしている。図2（b）は赤色発光ダ

イオードの例であり、欠陥低減層14''の組成をGa_{0.3}, In_{0.7}N、クラッド層15'', 17''の組成をAl_{0.2}, Ga_{0.8}, In_{0.2}N、活性層16''の組成をGa_{0.3}, In_{0.7}Nとしている。

【0030】図3(a)は、熱歪み緩和用の第2バッファ層32としてGa_{0.3}, In_{0.7}N混晶を用いた例であり、キャップ層33としてはAlGa_{0.3}Nを用いた。また、この場合には核形成用の第1バッファ層11は省略してもよく、図3(b)はそのような例である。熱歪み緩和用のバッファ層32としてAl_{0.3}, In_{0.7}N混晶等の他の混晶も同様に使用できる。熱歪み緩和用の第2バッファ層32として混晶を使用する場合には、Inの蒸発は遅いのでIn蒸発防止用のキャップ層33は省略してもよく、図3(c)はそのような例である。

【0031】図4は、本実施例素子の製造に使用した成長装置を示す概略構成図である。図中41は石英製の反応管であり、この反応管41内にはガス導入口42から原料混合ガスが導入される。そして、反応管41内のガスはガス排気口43から排気されるものとなっている。

【0032】反応管41内には、カーボン製のサセプタ44が配置されており、試料基板47はこのサセプタ44上に載置される。また、サセプタ44は高周波コイル45により誘導加熱される。なお、基板47の温度は図示の熱電対46によって測定され、別の装置により制御されるようになっている。

【0033】次に、図4の成長装置を用いた発光ダイオードの製造方法について説明する。まず、試料基板47(サファイア基板10)をサセプタ44上に載置する。ガス導入口42から高純度水素を毎分1l導入し、反応管41内の大気を置換する。次いで、ガス排気口43をロータリーポンプに接続し、反応管41内を減圧し、内部の圧力を20~70Torrの範囲に設定する。

【0034】次いで、基板47を水素中で1100℃に加熱し表面を清浄化する。次いで、基板温度を450~900℃に低下させた後、H₂ガスをNH₃ガス、N₂H₄ガス或いはNを含む有機化合物、例えば(CH₃)₃N₂H₄に切り替えると共に、有機金属Ga化合物、例えばGa(CH₃)₃、或いはGa(C₂H₅)₃を導入して成長を行う。同時に有機金属Al化合物、例えばAl(CH₃)₃、或いはAl(C₂H₅)₃、有機金属In化合物、例えばIn(CH₃)₃、或いはIn(C₂H₅)₃を導入してAl, Inの添加を行う。

【0035】ドーピングを行う場合にはドーピング用原料も同時に導入する。ドーピング用原料としては、n型用としてSi水素化物、例えばSiH₄又は有機金属Si化合物、例えばSi(CH₃)₄、p型用として有機金属Mg化合物、例えばCp₂Mg或いは有機金属Zn(CH₃)₂等を使用する。Inの取り込まれ率を改善するためにInを含む層を形成するときには、窒素、Ar等の水素を含まない雰囲気下にて成長し、原料として

アンモニアより分解率の高い(CH₃)₃N₂H₄を用いる。

【0036】なお、p型ドーパントの活性化率を上げるためには、結晶中への水素の混入を抑制することが重要である。そこで、成長温度から850℃から700℃までは窒素の解離を抑えるためにアンモニア中で冷却し、それ以下の温度では冷却過程での水素の混入を抑制するため不活性ガス中で冷却する。さらに、p型ドーパントの活性化率を上げる必要があるときにはRFプラズマにより生成した窒素ラジカル中にて熱処理する。これは、結晶中からの窒素原子の脱離が完全に防止でき900℃から1200℃の高温での熱処理が可能であるだけでなく、窒素空孔等の結晶欠陥を除去できることによる。

【0037】具体的には、原料としてNH₃を1×10⁻³ mol/min、Ga(CH₃)₃を1.1×10⁻⁶ mol/min、Al(CH₃)₃を1×10⁻⁶ mol/min導入して成長を行う。基板温度は1050℃、圧力38Torr、原料ガスの総流量は1l/min、ドーパントにはn型にSi, p型にMgを用いる。原料としてはSi(CH₃)₄, Cp₂Mgを使用する。

【0038】かくして得られたウェハをX線回折で評価したところ、結晶欠陥が飛躍的に減少し、高輝度短波長発光素子の実現が期待できた。また、ウェハを窒素ラジカル中で400~1100℃(好ましくは700~1000℃)でアニールすることにより、アニール中のNの抜けを抑え、p型層をより低抵抗化することが可能である。図10にアニール用の装置の概略図を示す。なお、図中91は反応管、92はウェハ、93はヒータを兼ねたサセプタ、94はガスを活性化するための高周波コイル、95は高周波電源を示している。

【0039】なお、アニールは活性水素を放出しない窒素含有化合物で行うのも効果的である。具体的には、アジド基を有する有機化合物、例えばエチルアジド中のアニールもアニール中のNの抜けを抑え、Hの取り込まれがないためp型層をより低抵抗化することが可能となる。

(実施例2) 図5は、本発明の第2の実施例に係わる発光ダイオードの素子構造を示す断面図である。この実施例は、コンタクト層をp側だけではなくn側にも設けることにより、効率をさらに向上させたものである。

【0040】サファイア基板50のc面上に成長核形成と極性制御用のAlN第1バッファ層51(9nm)が350℃にて成長形成され、さらに熱歪み緩和用のGa_{0.3}, In_{0.7}N第2バッファ層52(0.5μm)が550℃にて成長形成され、その上にIn蒸発防止用のGa_{0.3}Nキャップ層53(0.1μm)が650℃にて成長形成されている。

【0041】これらの各層51~53が形成された後に、1050℃まで昇温され、Se若しくはSドーパのn型Ga_{0.3}Nコンタクト層54(2.0μm)、格子不整

合緩和用のSe若しくはSドーブGaInN (Ga_{0.7}In_{0.3}N) 組成グレーディング層55 (1.0 μm)、さらに結晶欠陥低減用のSe若しくはSドーブGa_{0.7}In_{0.3}N欠陥低減層56 (4.0 μm)、素子として動作するSe若しくはSドーブ (1×10¹⁸ cm⁻³) のn型Al_{0.1}Ga_{0.9}In_{0.3}Nクラッド層57 (1.0 μm)、Ga_{0.7}In_{0.3}N活性層58 (0.5 μm)、Mg若しくはZnドーブ (1×10¹⁸ cm⁻³) のp型Al_{0.1}Ga_{0.9}In_{0.3}Nクラッド層59 (1.0 μm)、Mg若しくはZnドーブ (5×10¹⁸ cm⁻³) のp型Ga_{0.7}In_{0.3}Nコンタクト層60 (0.5 μm) が順次成長形成されている。

【0042】そして、コンタクト層60上にはPd: 500 nm, Cr: 100 nm, Au: 500 nmが、コンタクト層54上にはAuGe: 100 nm, Au: 500 nmが形成されたのち、不活性ガス若しくはN₂中で400~800℃で熱処理されオーミック電極 (p側電極61, n側電極62) が形成されている。

【0043】このような構造であっても、AlN第1バッファ層51とGaInN第2バッファ層12の働きにより、良質のAlGaInN系半導体層を形成することが可能となり、第1の実施例と同様の効果が得られる。また本実施例で、活性層58とクラッド層57, 59の間で0.3%の格子不整合があるので、発光波長が長波長化し、吸収を低減することができる。

【0044】なお、本実施例では、格子不整合緩和のための組成グレーディング層55を設けたが、必ずしもグレーディングにする必要はない。また、熱歪み緩和層としてはGaInNに限らずGa_{0.7}In_{0.3}Nを用いることもでき、図6はそのような例である。ここではサファイア基板50のc面上に成長核形成と極性制御用のAlN第1バッファ層51 (9 nm) が350℃にて成長形成され、さらに熱歪み緩和用のGa_{0.7}In_{0.3}N第2バッファ層72 (0.5 μm) が550℃にて成長形成されている。そして、この上に図5と同様に各層54~60が成長形成されている。

【0045】さらに、熱歪み緩和用のバッファ層はなくてもよく、図7はそのような例である。サファイアのc面からa方向に5°オフした基板50上に成長核形成と極性制御用の粒状AlN第1バッファ層51 (平均膜厚5 nm) が400℃にて形成されている。そして、この上に図5と同様に各層54~60が成長形成されている。

【0046】成長核形成のためにはできるだけ小さな粒が疎らに形成されている方が横方向の成長が促進され高品質の層ができる。また、a面上に成長した場合には成長表面に縞模様を観測されることが多かったが、粒状バッファ層の採用により、鏡面成長が可能になった。さらに、成長核形成のためのバッファ層としてはGa_{0.7}In_{0.3}Nを使用してもよく、その場合は、Ga_{0.7}In_{0.3}Nが成長する限界まで

極微量のアンモニアを導入することにより窒素の解離を抑えることができる。

【0047】図8はGa_{0.7}In_{0.3}Nを成長する際のアンモニア流量と成長速度の関係であり、総流量 (1 l/min) の200分の1までアンモニアを減少してもGa_{0.7}In_{0.3}Nは成長し、総流量の50分の1程度の時に膜厚が最大になる。そこで、総流量の1/50~1/200程度のアンモニアを導入した場合に窒素の解離が最も抑えられ、そのような条件下では成長核形成のためのバッファ層としてGa_{0.7}In_{0.3}Nを使用できる。

【0048】なお、本発明は上述した各実施例に限定されるものではない。素子構造は実施例で述べたものに何等限定されるものではなく、適宜変更可能である。要は、単結晶基板上にAlGaInN系材料からなる半導体層を形成して発光素子等を作成するものに適用することができる。また、基板は必ずしもサファイア基板に限るものではなく、SiC、その他の単結晶を用いることもできる。また、本発明は必ずしも発光素子に限るものではなく、例えば高温動作半導体素子にも適用することが可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0049】

【発明の効果】以上詳述したように本発明によれば、AlGaInN系材料からなる素子形成のための半導体層の結晶品質及び再現性の向上をはかることができ、結果的に低欠陥のAlGaInN系半導体層の成長が可能となり、高輝度短波長発光素子等の実現が可能となる。

【図面の簡単な説明】

【図1】第1の実施例に係わる青色発光ダイオードの素子構造を示す断面図。

【図2】第1の実施例の変形例を示す断面図。

【図3】第1の実施例の別の変形例を示す断面図。

【図4】実施例素子の製造に使用した成長装置を示す概略構成図。

【図5】第2の実施例に係わる発光ダイオードの素子構造を示す断面図。

【図6】第2の実施例の変形例を示す断面図。

【図7】第2の実施例の変形例を示す断面図。

【図8】Ga_{0.7}In_{0.3}Nを成長する際のアンモニア流量と成長速度の関係を示す特性図。

【図9】AlNバッファ層厚とGa_{0.7}In_{0.3}N層のX線回折半値幅の関係を示す特性図。

【図10】実施例に使用したアニール装置を示す概略構成図。

【符号の説明】

10, 50…サファイア基板 (単結晶基板)

11, 51…AlN第1バッファ層

12…InN第2バッファ層

13, 53…Ga_{0.7}In_{0.3}Nキャップ層

14, 56…Ga_{0.7}In_{0.3}N欠陥低減層

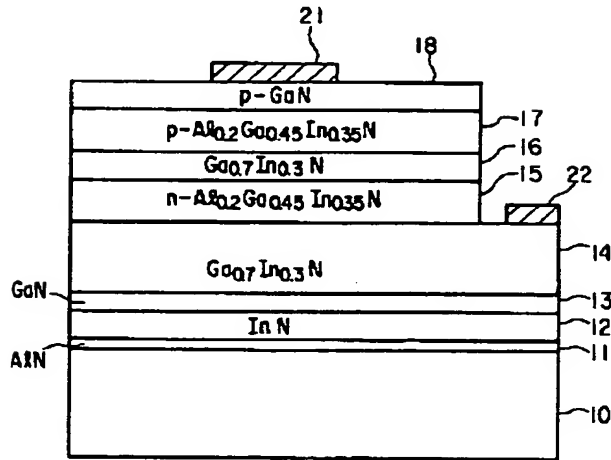
11

15, 57...n型AlGaInNクラッド層
 16, 58...n型GaInN活性層
 17, 59...p型AlGaInNクラッド層
 18, 60...p型GaInNコンタクト層
 21, 22, 61, 62...電極
 32...GaInNバッファ層

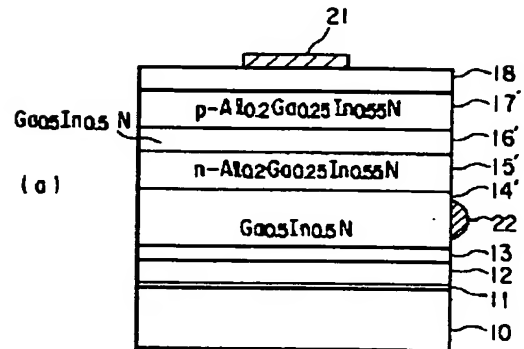
12

33...AlGaInNキャップ層
 52...GaInN第2バッファ層
 54...n型GaInNコンタクト層
 55...n型GaInN組成グレーディング層
 72...GaInN第2バッファ層

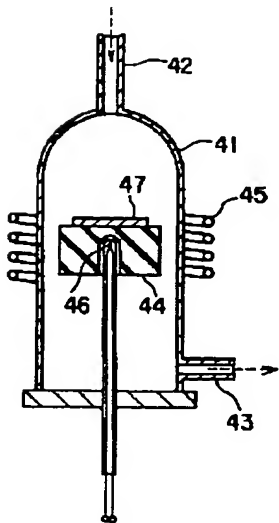
【図1】



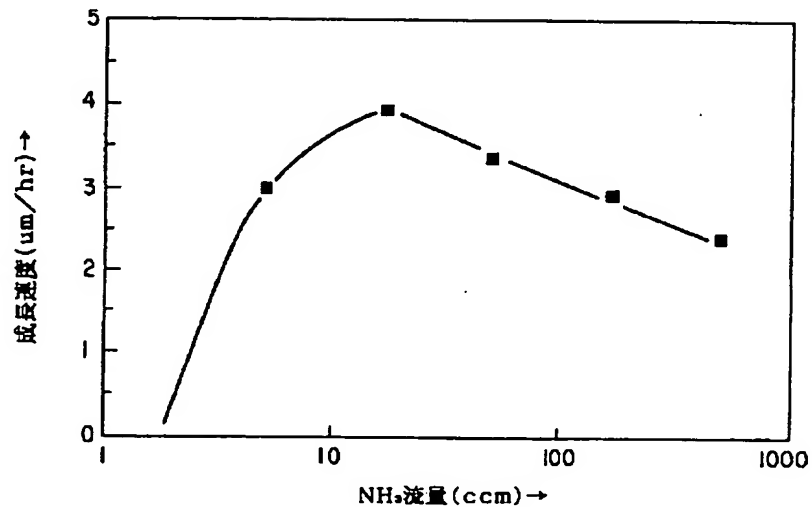
【図2】



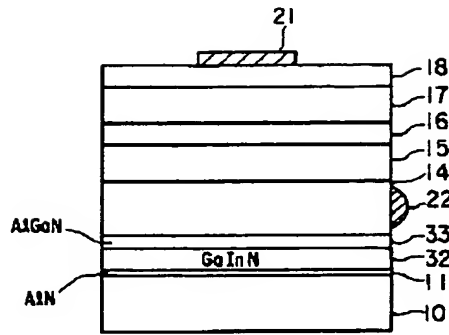
【図4】



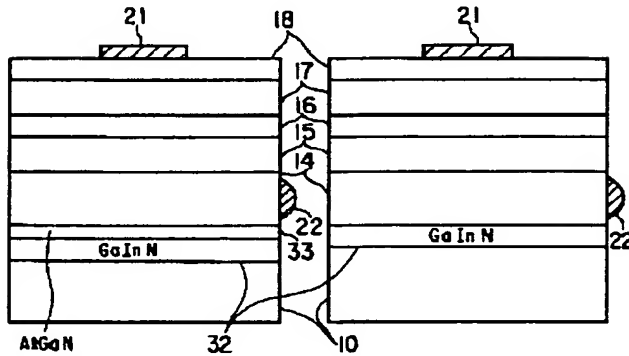
【図8】



【図 3】



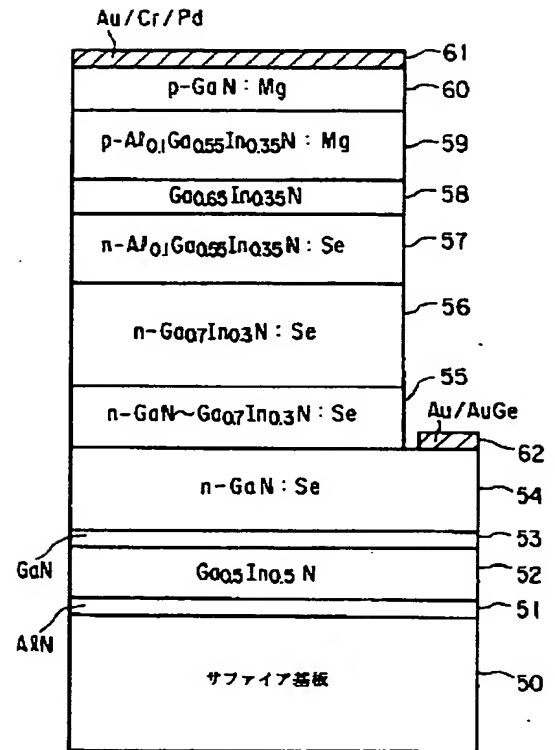
(a)



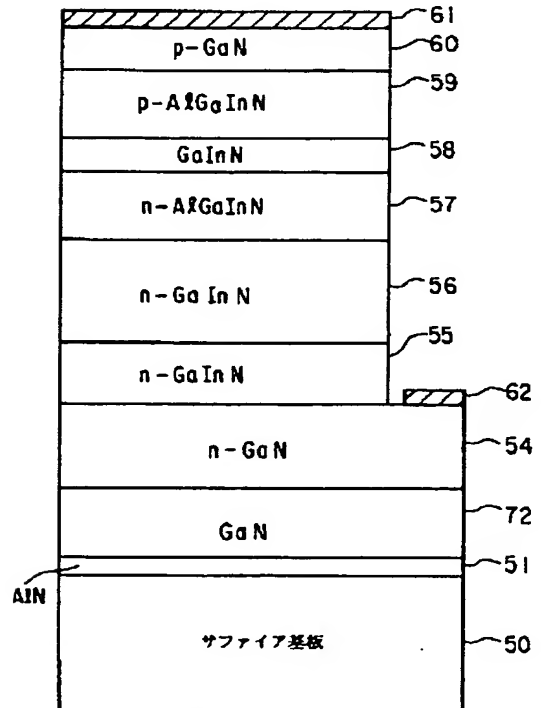
(b)

(c)

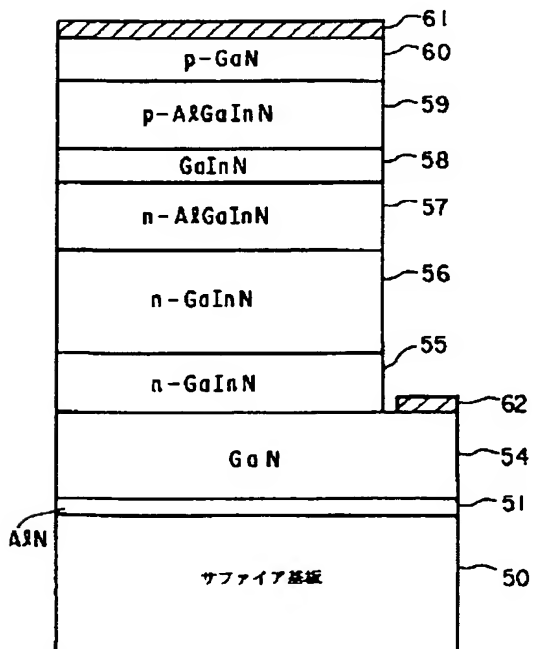
【図 5】



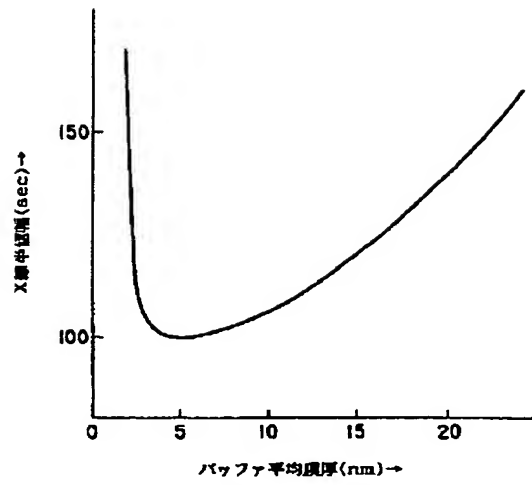
【図 6】



【図 7】



【図 9】



【図 10】

